

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**(54) SEMICONDUCTOR DEVICE**

(11) 2-235356 (A) (43) 18.9.1990 (19) JP

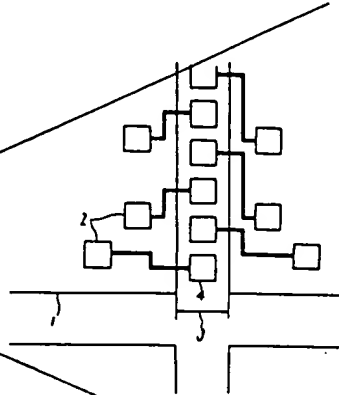
(21) Appl. No. 64-56619 (22) 8.3.1989

(71) MITSUBISHI ELECTRIC CORP (72) KAZUYA IKEDA(1)

(51) Int. Cl. H01L21/66, G01R31/26, H01L27/04

**PURPOSE:** To prevent the damage of a chip by installing a pad on a dicing line on the peripheral part of a chip, which pad is used to input a signal to the chip or to output a signal from the chip at the time of test in the wafer state.

**CONSTITUTION:** On the dicing line 3 of a semiconductor device, a pad 4 is arranged and a signal is inputted and outputted by using this pad 4. At the time of test in the wafer state, a pin is brought into contact with the pad 4, so that the pad 2 in a chip 1 turning to a product is not damaged at all for testing. Further, the possibility that aluminum scrap drops on the chip 1 being made into a product can be reduced.

**(54) TESTING METHOD OF SEMICONDUCTOR DEVICE**

(11) 2-235357 (A) (43) 18.9.1990 (19) JP

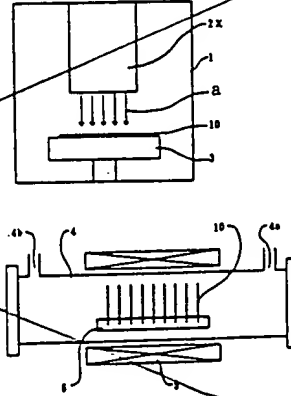
(21) Appl. No. 64-56740 (22) 8.3.1989

(71) FUJITSU LTD (72) HEIHACHI OCHIKA

(51) Int. Cl. H01L21/66, H01L29/784

**PURPOSE:** To reduce the irregularity of product quality by a method wherein, after X-ray irradiation, annealing is performed, and then breakdown strength of a gate oxide film is tested.

**CONSTITUTION:** Before the breakdown strength of a gate oxide film of an MOS transistor on a semiconductor substrate is tested, X-ray irradiation and annealing are performed. At the lower part of a processing chamber 1 of an X-ray irradiation apparatus, a stage 3 is arranged on which a semiconductor substrate 10 is mounted, and X-ray whose dosage is 1J/cm<sup>2</sup> is projected from an X-ray irradiation head 2 installed on the upper part of the processing chamber 1. An annealing furnace is provided with a feeding inlet 4a and a discharging vent 4b for atmospheric gas, and constituted of a furnace core tube 4 heated by a heater 5, into which furnace tube atmospheric gas composed of nitrogen and hydrogen is introduced, thereby heating a semiconductor substrate 10 mounted on a holder 6 at 450°C for 30min. After the above annealing, the breakdown strength of a gate oxide film is tested, and the irregularity of product quality can be reduced.



a: X-ray

**(54) CONNECTION METHOD OF MULTILAYER WIRING**

(11) 2-235358 (A) (43) 18.9.1990 (19) JP

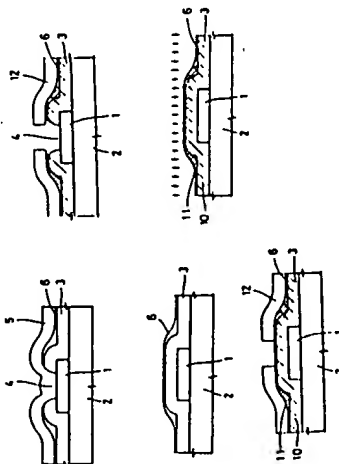
(21) Appl. No. 64-56642 (22) 8.3.1989

(71) MITSUBISHI ELECTRIC CORP (72) KOJI EGUCHI

(51) Int. Cl. H01L21/90

**PURPOSE:** To realize multilayer wiring free from disconnection failure by forming a damage region in a spin-on glass film and an insulating film on a substrate on which a first wiring is formed, eliminating a specified region, and forming a through-hole.

**CONSTITUTION:** On a substrate 2 on which a first wiring 1 is formed, an insulating film 3 and a spin-on glass(SOG) film 6 are formed in order. By ion-implanting addition impurity except phosphorus in the whole surface of the SOG film 6 and the insulating film 3, a damage layer 10 is formed, and at the same time, a high damage region 11 is formed at a shallow position of the region 10. After a photo resist layer 12 is formed on an SOG film 6 and patterned, specified regions of the SOG film 6 and the insulating film 3 are eliminated by dry etching using the photo resist layer 12 as a mask. Thus a through-hole 4 is formed. After the photo resist layer 12 is eliminated, a second wiring layer 5 is formed on SOG film 6, thereby connecting the second wiring 5 with the first wiring 1, via the through-hole 4.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-235358

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月18日

H 01 L 21/90

Q

6810-5F

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 多層配線の接続方法

⑯ 特 願 平1-56642

⑰ 出 願 平1(1989)3月8日

⑱ 発 明 者 江 口 剛 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

多層配線の接続方法

2. 特許請求の範囲

(Ⅰ) 第1配線が形成された基板上に絶縁膜を形成したのち、この絶縁膜上にSOC(スピン・オン・ガラス)膜を形成する工程と、

前記SOC膜および絶縁膜にリンを除く添加不純物をイオン注入してダメージ領域を形成する工程と、

前記SOC膜上にフォトリソスト層を形成してパターンニングしたのち、このフォトリソスト層をマスクとして前記第1配線上に形成された前記SOC膜および絶縁膜の所定領域をドライエッチングで除去することによってスルーホールを形成する工程と、

前記フォトリソスト層を除去したのち、第2配線を形成する工程と

からなることを特徴とする多層配線の接続方法。

(Ⅱ) 前記イオン注入を複数回に分けて行い、その

うちの少なくとも1回のイオン注入を添加不純物の注入量が $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 、注入加速エネルギーが30～100 KeVの範囲内で行うとともに、他の回のイオン注入を添加不純物の注入量が $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 、注入加速エネルギーが50～400 KeVの範囲内で行うことを特徴とする請求項

(Ⅰ)記載の多層配線の接続方法。

(Ⅲ) 前記イオン注入を1回で行うとともに、添加不純物の注入量を一定としたまま、注入加速エネルギーを順次増加させることを特徴とする請求項

(Ⅰ)記載の多層配線の接続方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置を構成する多層配線の接続方法に関する。

(従来の技術)

従来から、半導体集積回路装置においては多層配線を形成するとともに、これらの配線同士を必要に応じて互いに接続することが行われている。そして、このような多層配線の接続方法にかかる

第1従来例としては、第4図で示す半導体集積回路装置の要部断面図のように、第1配線1が形成された基板2上に絶縁膜3を積層して形成したうえ、この絶縁膜3の第1配線1上に位置する所定領域をウェットエッチングで除去することによって配線接続用のスルーホール4を定明け形成したのち、絶縁膜3上に第2配線5を形成し、この第2配線5と第1配線1とを互いにスルーホール4を介して接続する方法が採用されている。なお、絶縁膜3のウェットエッチングを行う前段には、絶縁膜3の全面を覆うフォトリソ層(図示していない)を形成したのち、このフォトリソ層をパターニングする写真製版といわれる工程があることはいうまでもない。

また、このような接続方法の第2従来例としては、第5図で示すように、絶縁膜3上にSOG膜6を塗布・焼成によって形成したうえ、ドライエッチングによって絶縁膜3およびSOG膜6の所定領域を除去してスルーホール4を形成する方法が採用されている。さらにまた、多層配線の接続

方法にかかる第3従来例としては、第6図で示すように、第2従来例と同様のSOG膜6を形成したのち、このSOG膜6と絶縁膜3とをウェットエッチングで除去することによってスルーホール4を形成する方法も採用されている。なお、第2従来例におけるSOG膜6の形成およびドライエッチングを除く他の手順および第3従来例におけるSOG膜6の形成を除く他の手順は、上述した第1従来例と同様である。

(発明が解決しようとする課題)

ところで、前記多層配線の接続方法にかかる第1従来例においては、ウェットエッチングによってスルーホール4の側面が第1配線1側へいくほど狭まる過度なチーベ面として形成されるので、このスルーホール4内で第2配線5がくびれることはなく、十分な膜厚で形成することができるという利点がある。しかし、その反面、絶縁膜3上に第2配線5を直接的に形成するため、この第2配線5の所定箇所、すなわち、第1配線1の側面と基板2の表面とが互いに接する角部に沿って形

成された絶縁膜3の屈曲箇所7に対応する第2配線5の所定箇所に、膜厚の薄いくびれ部8が形成されてしまうことになる結果、このくびれ部8でエレクトロマイグレーションなどによる断線不良が発生し易くなってしまうという欠点があった。

また、前記第2従来例では、絶縁膜3の屈曲箇所7がSOG膜6によって埋められるので、第1従来例のような第2配線5のくびれ部8が形成されなくなるという利点がある反面、ドライエッチングによって形成されたスルーホール4の側面がほぼ垂直となる結果、第2配線5におけるスルーホール4の側面に沿う所定部分9の膜厚が薄くなり、この所定部分9における断線不良が発生し易くなってしまう。さらにまた、前記第3従来例においては、SOG膜6のエッチングレートが絶縁膜3よりも大きいので、スルーホール4が形成される以前にSOG膜6のサイドエッチングが進行してしまうことになる。そのため、第6図から明らかなように、絶縁膜3の屈曲箇所7を埋めるべしSOG膜6までもが除去されてしまうことにな

る結果、第1従来例と同様の不都合が生じてしまう。さらにまた、これらの不都合を解消するために、ウェットエッチングとドライエッチングとを併用する方法も考えられているが、制御性などに種々の難点があるため、実用化には至っていない。

この発明は、このような現状に鑑みて創案されたものであって、絶縁膜上に第2配線を直接的に形成したり、ドライエッチングでスルーホールを形成したりすることに起因して第2配線に膜厚の薄い箇所が形成されることを防止することが容易にでき、これに伴う断線不良を招く恐れのない多層配線の接続方法を提供することを目的としている。

(課題を解決するための手段)

この発明にかかる多層配線の接続方法は、第1配線が形成された基板上に絶縁膜を形成したのち、この絶縁膜上にSOG膜を形成する工程と、絶縁膜およびSOG膜にリンを除く添加不純物をイオン注入してダメージ領域を形成する工程と、SOG膜上にフォトリソ層を形成してパターニン

グしたのち、このフォトリソist層をマスクとして第1配線の上に形成されたSOG膜および絶縁膜の所定領域をドライエッチングで除去することによってスルーホールを形成する工程と、フォトリソist層を除去したのち、第2配線を形成する工程とからなるものである。なお、前記イオン注入は絶縁膜およびSOG膜内部の結合状態を破壊する、すなわち、ダメージを与えるために行うものであり、このイオン注入における添加不純物の注入量および注入加速エネルギーもしくは注入加速エネルギーのみを調整することによって絶縁膜およびSOG膜の膜厚方向に沿う表面側ほど破壊の程度が大きくなるように制御される。

#### (作用)

ところで、第1配線が形成された基板上に形成された絶縁膜およびSOG膜に対して上述したようなイオン注入を行うと、注入された添加不純物によってSOG膜および絶縁膜それぞれの内部の結合状態が破壊される結果、これらのSOG膜および絶縁膜の膜厚方向に沿う表面側のエッチング

レートの方が第1配線側のそれよりも大きくなる。そこで、SOG膜および絶縁膜の所定領域をドライエッチングで除去してスルーホールを形成すると、このドライエッチングの進行に伴ってSOG膜および絶縁膜におけるエッチングレートの大きい部分、すなわち、これらの表面側部分におけるサイドエッチングが第1配線側部分よりも早く進行することになる。

#### (実施例)

以下、この発明方法の実施例を図面に基づいて説明する。

第1図は本発明方法に基づいて製造された半導体装置回路装置を示す要部断面図であり、第2図(a)~(e)は本発明方法の手順を示す工程断面図である。なお、これらの図において、第4図ないし第6図で示した各従来例と同一の符号は、互いに同一もしくは相当する部分を示している。

本発明方法に基づいて製造された半導体装置回路装置を構成する基板2上の所定位置には第1配線1が形成されており、この基板2上に積層して

形成された絶縁膜3と、これを覆って形成されたSOG膜6との第1配線1上に位置する所定領域には配線接続用のスルーホール4が形成されている。そして、このSOG膜6上には第2配線5が形成されており、この第2配線5と第1配線1とは互いにスルーホール4を介して接続されている。

つぎに、第2図(a)~(e)に基づいて本発明にかかる多層配線の接続方法を説明する。

① まず、第2図(a)で示すように、第1配線1が形成された基板2上の全面にわたって絶縁膜3を形成したのち、この絶縁膜3上にSOG(スピソ・オン・ガラス)を塗布して焼成することによって絶縁膜3を覆うSOG膜6を形成する。

② つぎに、第2図(b)で示すように、SOG膜6および絶縁膜3の全面に対してリン(P)を除く添加不純物をイオン注入する。そして、このイオン注入は、添加不純物の注入量が $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-2}$ で、かつ、注入加速エネルギーが50~400 KeVとなるように制御しながら行う。そこで、これらのSOG膜6および絶縁膜3には、その膜

厚方向に沿う深い所定位置に至るまで内部の結合状態がある程度破壊された低ダメージ領域10(図における斜線部分)が形成されることになる。

ところで、第3図はイオン注入による不純物プロファイルを示す説明図であって、この図の実線は②の工程におけるイオン注入時の不純物プロファイルを示している。なお、この図における縦軸はSOG膜6および絶縁膜3の膜厚方向に沿う深さ、横軸は添加不純物の注入量(D-プ量)を示しており、図中の符号AはSOG膜6の上面位置、Bは絶縁膜3の上面位置(SOG膜6の下面位置)、Cは第1配線1の上面位置(絶縁膜3の下面位置)をそれぞれ示している。

③ さらに、第2図(c)で示すように、SOG膜6および絶縁膜3の全面に対してリン(P)を除く添加不純物をイオン注入する。そして、この際のイオン注入は、添加不純物の注入量が $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-2}$ で、かつ、注入加速エネルギーが30~100 KeVの範囲内で行う。その結果、これらのSOG膜6および絶縁膜3に形成された低ダメージ

ーシ領域10内の表面側には、第3図における一点領域で示す不純物プロファイルから明らかなように、添加不純物の濃度がより高く、その内部の結合状態がより大きく破壊された高ダメージ領域11(図における逆向きの斜線部分)が形成されることになる。すなわち、これらの④および⑤の工程におけるイオン注入では、添加不純物の注入量が多いほど、また、注入加速エネルギーが大きいほど、SOG膜6および絶縁膜3の内部の結合状態が大きく破壊されることを利用してSOG膜6および絶縁膜3の膜厚方向に浅う深い位置に低ダメージ領域10を形成するとともに、その浅い位置に高ダメージ領域11を形成している。

④ そののち、第2図(d)で示すように、SOG膜6上にフォトリソスト層12を形成してパターンニングしたのち、このフォトリソスト層12をマスクとして第1配線1上に形成されたSOG膜6および絶縁膜3の所定領域をドライエッチングで除去し、スルーホール4を形成する。すると、このとき、これらのSOG膜6および絶縁膜3の内

部には④および⑤の工程によってダメージ領域10, 11が形成されているので、これらのSOG膜6および絶縁膜3におけるエッチングレートは第1配線1側から裏面側に向かって大きくなり、スルーホール4を形成するためのドライエッチングの進行に伴ってSOG膜6および絶縁膜3におけるエッチングレートの大きい部分、すなわち、これらの裏面側部分におけるサイドエッチングが第1配線1側部分よりも早く進行して除去されることになる。その結果、このスルーホール4の側面は、第2図(e)で示すように、裏面側から第1配線1側へいくほど狭まる過度なテーパ面として形成されることになる。

⑤ そこで、フォトリソスト層12を除去したのち、SOG膜6上に第2配線5を形成すると、この第2配線5は十分な膜厚のままでスルーホール4を介して第1配線1と接続されることになる。その結果、第1図で示すような半導体装置回路装置の要部構造が得られる。

ところで、以上の説明においては、イオン注入

を④および⑤の工程で示す2回に分けて行うとともに、1回目のイオン注入である④の工程における添加不純物の注入量を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、注入加速エネルギーを50～400 KeVの範囲内とする一方、2回目である⑤の工程での添加不純物の注入量を $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、注入加速エネルギーを30～100 KeVの範囲内としている。しかし、④および⑤の工程は逆であってもよく、また、このイオン注入を3回以上に分けて行ってもよい。そして、イオン注入を3回以上に分けて行う場合には、そのうちの少なくとも1回のイオン注入における添加不純物の注入量が $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、注入加速エネルギーが30～100 KeVの範囲内となる一方、他の回のイオン注入における添加不純物の注入量が $1 \times 10^{12} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、注入加速エネルギーが50～400 KeVの範囲内となるようにすればよい。さらにまた、イオン注入を1回で行うとともに、添加不純物の注入量を一定としたまま、注入加速エネルギーのみを順次増加させてもよく、このようにすれば、SOG膜6および

絶縁膜3の膜厚方向に浅う裏面側から第1配線1側に向かって結合状態の破壊が徐々に低下したダメージ領域(図示していない)を形成することが可能となる。

また、本発明方法のイオン注入において用いる添加不純物からリン(P)を除いているのは、つぎのような理由に基づくものである。すなわち、添加不純物として比較的質量の大きな元素であるヒ素(As)やアンチモン(Sb)を用いる場合にはSOG膜6および絶縁膜3にダメージを与え易く、ホウ素(B)はAsなどに比べて取り扱いは上の危険性が少なく、また、不活性ガスであるアルゴン(Ar)を用いる場合にはSOG膜6および絶縁膜3の内部に注入されたのちの化学的安定性が良好となる利点があるので、これらの元素を必要に応じて使い分けることになる。しかしながら、添加不純物としてリン(P)を用いた場合には、注入されたPがSOG膜6の裏面付近に存在していると、このPが外気中の水分や製造プロセスで使用される水と反応してリン酸に変わり易く、

種々の不都合を招く恐れがあるため、好ましくないことになる。

#### (発明の効果)

以上説明したように、この発明にかかる多層配線の接続方法においては、第1配線が形成された基板に形成された絶縁膜およびSOG膜に対して低加不純物の注入量および注入加速エネルギーもしくは注入加速エネルギーのみを制限したイオン注入を行うので、注入された低加不純物によってSOG膜および絶縁膜の膜厚方向に沿う表面側に、内部の結合状態が破壊されたダメージ領域が形成される。そこで、これらのSOG膜および絶縁膜におけるエッチングレートは、ダメージ領域が形成された表面側の方が第1配線側よりも大きくなる。

したがって、SOG膜および絶縁膜の所定領域をドライエッチングで除去してスルーホールを形成すると、このドライエッチングの進行に伴ってSOG膜および絶縁膜におけるエッチングレート

におけるサイドエッチングがその第1配線側部分よりも早く進行することになる結果、スルーホールの側面が第1配線側へいくほど狭まる過度なテーパ面として形成されることになる。その結果、SOG膜上に形成された第2配線に従来例、特に、第2従来例のような膜厚の薄い箇所が形成されることを有効に防止することができ、断線不良というような不都合の発生を招くことがないという効果が得られる。

#### 4. 図面の簡単な説明

第1図ないし第3図は本発明方法の実施例にかかり、第1図は本発明方法に基づいて製造された半導体集積回路装置を示す要部断面図であり、第2図(a)～(e)は本発明方法の手順を示す工程断面図、第3図はイオン注入による不純物プロファイルを示す説明図である。そして、第4図ないし第6図は従来例にかかり、第4図は第1従来例によって得られた半導体集積回路装置の要部断面図、また、第5図は第2従来例によって得られた半導体集積回路装置を示す要部断面図であり、第6図

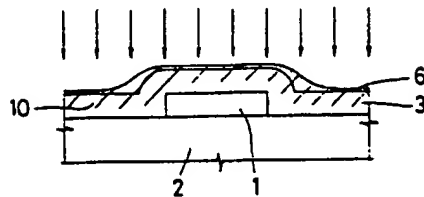
は第3従来例によって得られた半導体集積回路装置を示す要部断面図である。

図における1は第1配線、2は基板、3は絶縁膜、4はスルーホール、5は第2配線、6はSOG膜、10は低ダメージ領域、11は高ダメージ領域、12はフォトレジスト層である。

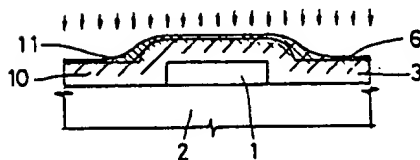
なお、図中の同一符号は、互いに同一もしくは相当する部分を示している。

代理人 大岩 増雄

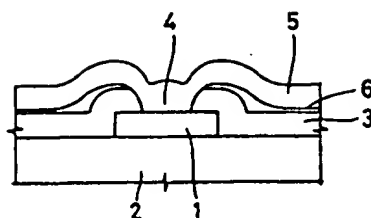
第2図(b)



第2図(c)

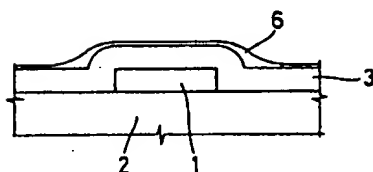


第 1 図

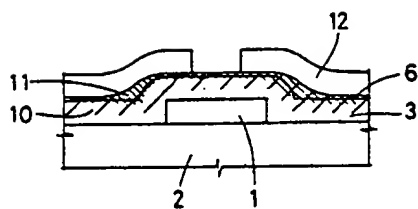


- 1 : 第 1 配線
- 2 : 基板
- 3 : 絶縁膜
- 4 : スルーホール
- 5 : 第 2 配線
- 6 : SiO<sub>2</sub>膜
- 10 : 低ダメージ領域
- 11 : 高ダメージ領域
- 12 : フォトリソグレイ

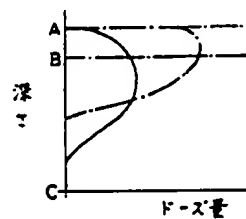
第 2 図 (a)



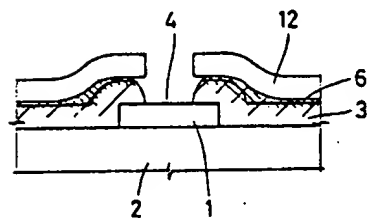
第 2 図 (d)



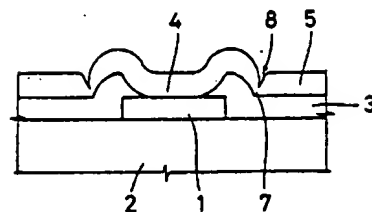
第 3 図



第 2 図 (e)

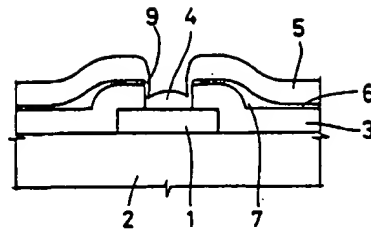


第 4 図





第 5 図



第 6 図

